Rapport ARO - Processeur

Départements : TIN

Unité d'enseignement ARO

Auteurs : **Timothée Van Hove**   
**Benoit Delay**

Professeur : **Romuald Mosqueron**

Assistant : **Mike Meury**

Classe : **A**

Salle de labo : **A07**

Date : **samedi, 4 juin 2022**

Table des matières

[1 Introduction 3](#_Toc102512870)

[1.1 Méthodologie 3](#_Toc102512871)

[2 Analyse et conception 4](#_Toc102512872)

[2.1 Processeur 4](#_Toc102512873)

[2.2 Architecture de notre processeur 5](#_Toc102512874)

[2.3 Fetch 6](#_Toc102512875)

[2.4 Decode 6](#_Toc102512876)

[2.5 Execute 7](#_Toc102512877)

[2.6 Memory access 7](#_Toc102512878)

[3 Réalisation 8](#_Toc102512879)

[3.1 Fetch 8](#_Toc102512880)

[3.2 Banque de registres 10](#_Toc102512881)

[3.3 Decode 12](#_Toc102512882)

[3.4 Execute 15](#_Toc102512883)

[3.5 Memory access 18](#_Toc102512884)

[3.6 Processeur complet 19](#_Toc102512885)

[4 Simulation 20](#_Toc102512886)

[4.1 Fetch 20](#_Toc102512887)

[4.2 Decode 21](#_Toc102512888)

[4.3 Execute 22](#_Toc102512889)

[5 Validation du circuit global 23](#_Toc102512890)

[5.1 Chronogrammes 24](#_Toc102512891)

[6 Conclusion 25](#_Toc102512892)

[7 Bilan personnel 25](#_Toc102512893)

[8 Table des illustrations 26](#_Toc102512894)

# Introduction

Ce travail s’inscrit dans le cadre de la formation Informatique et systèmes de communication de la HEIG-VD à Yverdon-les-Bains. Durant le cours « Architecture des ordinateurs » du 2e semestre, les élèves doivent réaliser un travail pratique portant sur le fonctionnement de la microarchitecture d'un processeur.

L’objectif de ce travail est la compréhension globale du fonctionnement des éléments de base d'un ordinateur, leurs caractéristiques, leurs performances et leurs interactions. En outre, savoir décrire l'organisation et la gestion de la mémoire d'un système à processeur, le fonctionnement et la composition de la microarchitecture d'un processeur.

Ce travail est la deuxième partie du projet global de conception d’un processeur. Dans la première partie, nous avions dû concevoir les parties principales du processeur, à savoir : fetch, decode, banque de registres, execute et memory access. Dans cette partie, nous implémenterons le pipeline et le forwarding.

## Méthodologie

Ce travail consiste à créer les circuits logiques nécessaires au fonctionnement d’un processeur proche du ARM9, ayant une architecture « Harvard ». Pour cela, nous utilisons le logiciel Logisim. Afin de mener à bien ce travail, il faudra mettre en pratique les notions apportées par le cours, en particulier les interactions des parties principales composant notre processeur, à savoir : le pipeline, la gestion des aléas et le forwarding. Pour tester nos circuits, nous allons devoir compiler divers programmes assembleur et donner au processeur les instructions à exécuter.

Ce travail est divisé en 2 étapes successives de réalisation :

1. Pipeline
2. Forwarding

Chaque étape est encadrée par une marche à suivre fournie. De plus, une grande partie des circuits composant le projet Logisim est déjà réalisée et nous est fournie. Chaque étape sera successivement analysée, réalisée et testée individuellement. Finalement, le circuit entier sera également testé pour valider son fonctionnement global.

Dans ce rapport, vous trouverez les explications du fonctionnement de chaque entité de notre circuit et de l’analyse, ainsi que la réalisation et les tests de ces dernières.

# Rappels fonctionnement du processeur

Afin de fonctionner correctement, notre processeur doit accéder aux instructions, les décoder, les exécuter, et lire/écrire les résultats dans la mémoire. Notre processeur devra utiliser le jeu d’instruction THUMB. Il s’agit d’une représentation 16 bits d'un sous-ensemble du jeu d'instructions ARM, qui offre l’avantage de réduire les besoins en mémoire.

Le processeur est composé de deux parties conceptuelles : l’unité de traitement, qui contient l’ensemble des opérateurs arithmétiques et logiques, et l’unité de contrôle qui coordonne les différentes activités du processeur.

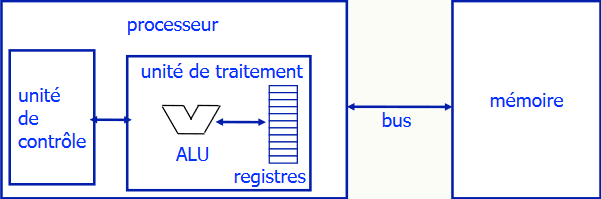


Figure 1 architecture d'un processeur (1)

Comme le processeur a une architecture Harvard, il dispose de 2 mémoires : la mémoire d’instructions, et la mémoire de données. Chaque mémoire dispose d’un bus d’adresses qui transporte les données spécifiant l'adresse d'un emplacement de mémoire, soit pour écrire à cet emplacement, soit pour lire à partir de cet emplacement. Les données d’écriture ou de lecture sont transportées par le bus de données.

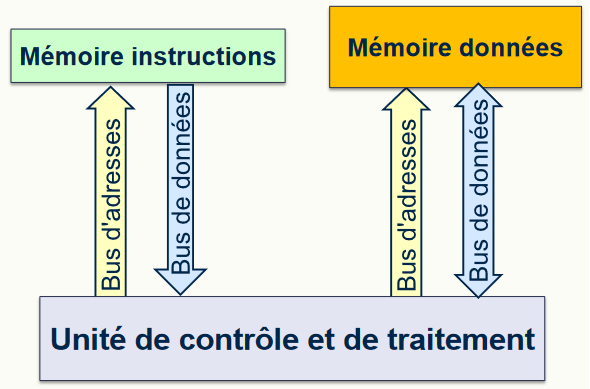
Sur les bus de la mémoire de données sont aussi connectées les entrées/sorties des périphériques potentiellement connectés dans notre système. Cependant, dans un souci de simplicité, pour ce travail pratique, nous n’en tiendront pas compte.

Figure 2 Architecture Harvard

## Architecture de notre processeur

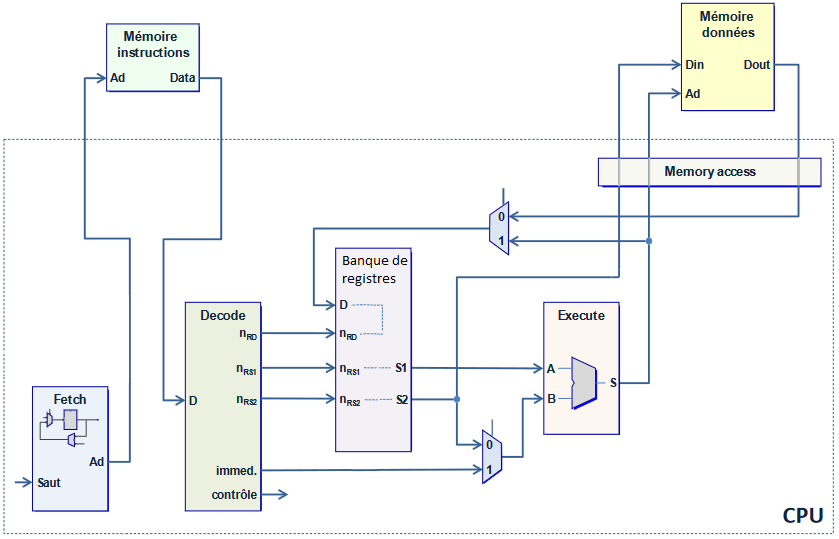


Figure 3 Architecture de notre processeur

La mémoire d’instructions contiendra toutes les instructions que notre processeur devra exécuter. Nous y placerons les instructions brutes sur 16 bits qui ont été compilées en assembleur. Dans la mémoire de données, nous iront, plus tard, placer les données de la pile (stack) qui permet de gérer les sauts et les retours de sauts.

# Processeur pipeliné

## Mécanismes à ajouter

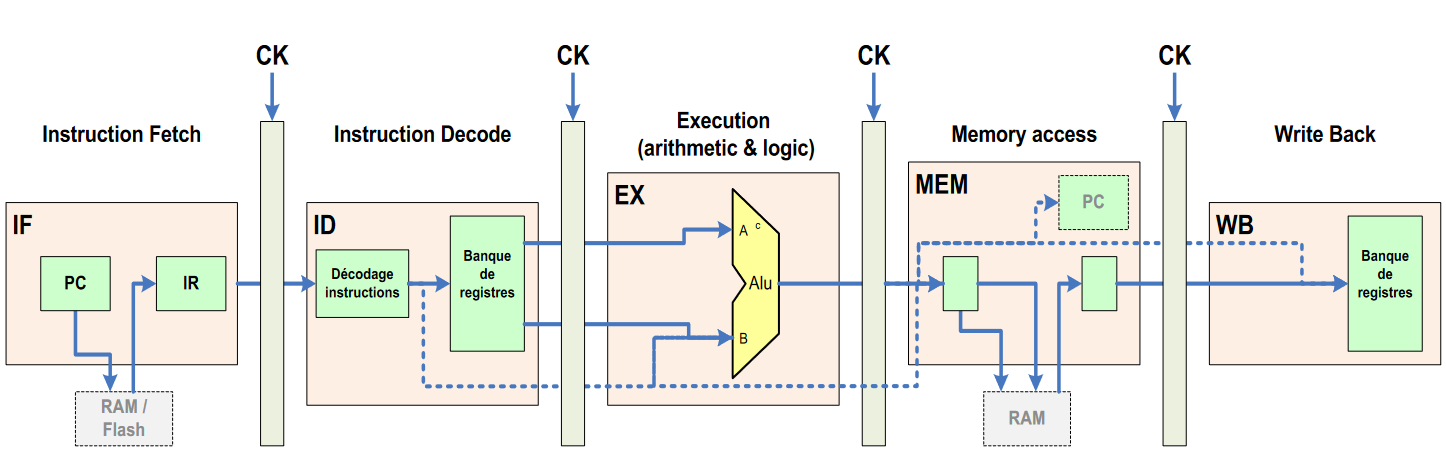
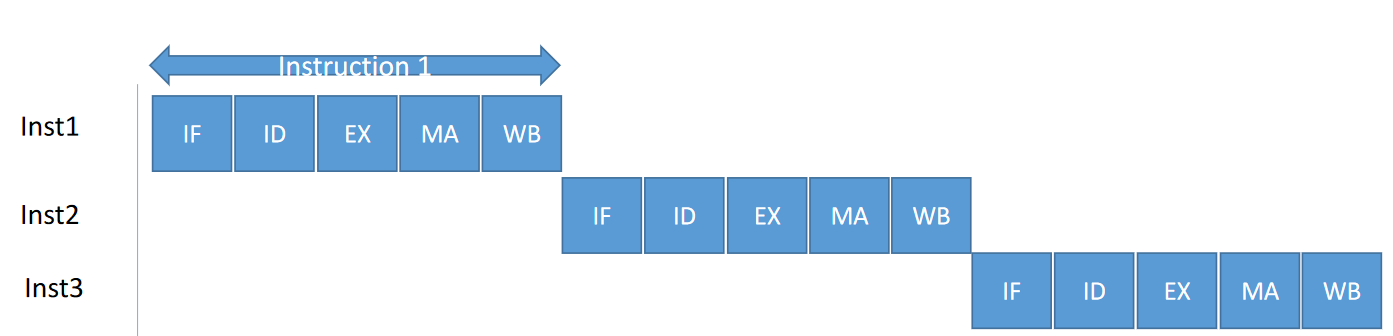
Comme mentionné dans l’introduction, nous devons modifier notre processeur simple pour qu’il fonctionne de manière pipelinée. Le pipeline permet d'accroître la vitesse d'exécution des instructions. Pour cela, le processeur est découpé en 5 étages :  
Fetch, Decode, Execute, Write back et Memory access. Le but est d’exécuter les instructions en cascade à chaque étage du pipeline, à la place d’attendre que l’instruction soit passé dans les 5 étages.

Figure 4 Exécution des instructions d'un processeur non pipeliné

Figure 5 Les 5 étages du pipeline

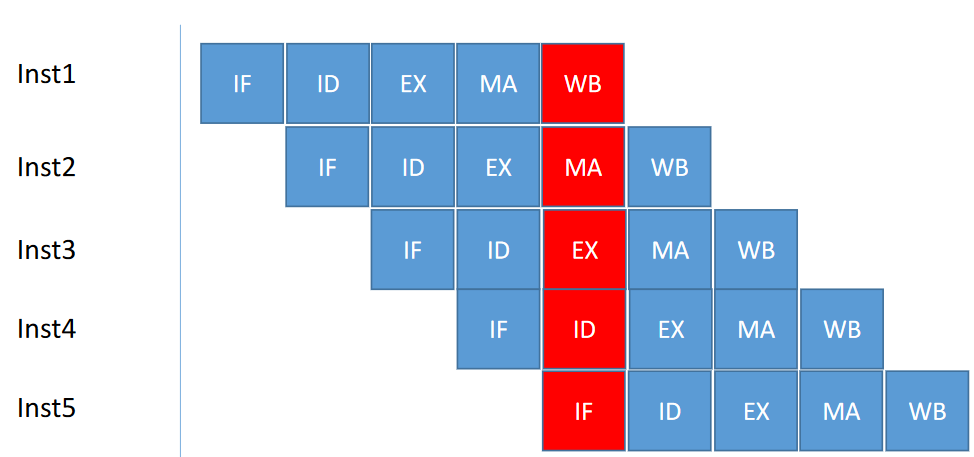


Figure 6 Principe d'exécution en cascade du processeur pipeliné

## Analyse et conception

Pour réaliser cette première partie, un circuit nous a été fourni. Il contient déjà toutes les modifications nécessaires du pipeline, à l’exception des circuits de détection des aléas. Il nous faudra, en aussi analyser les circuits qui ont été ajoutés pour comprendre le fonctionnement global de notre processeur

### Mémorisation de l’état des étages

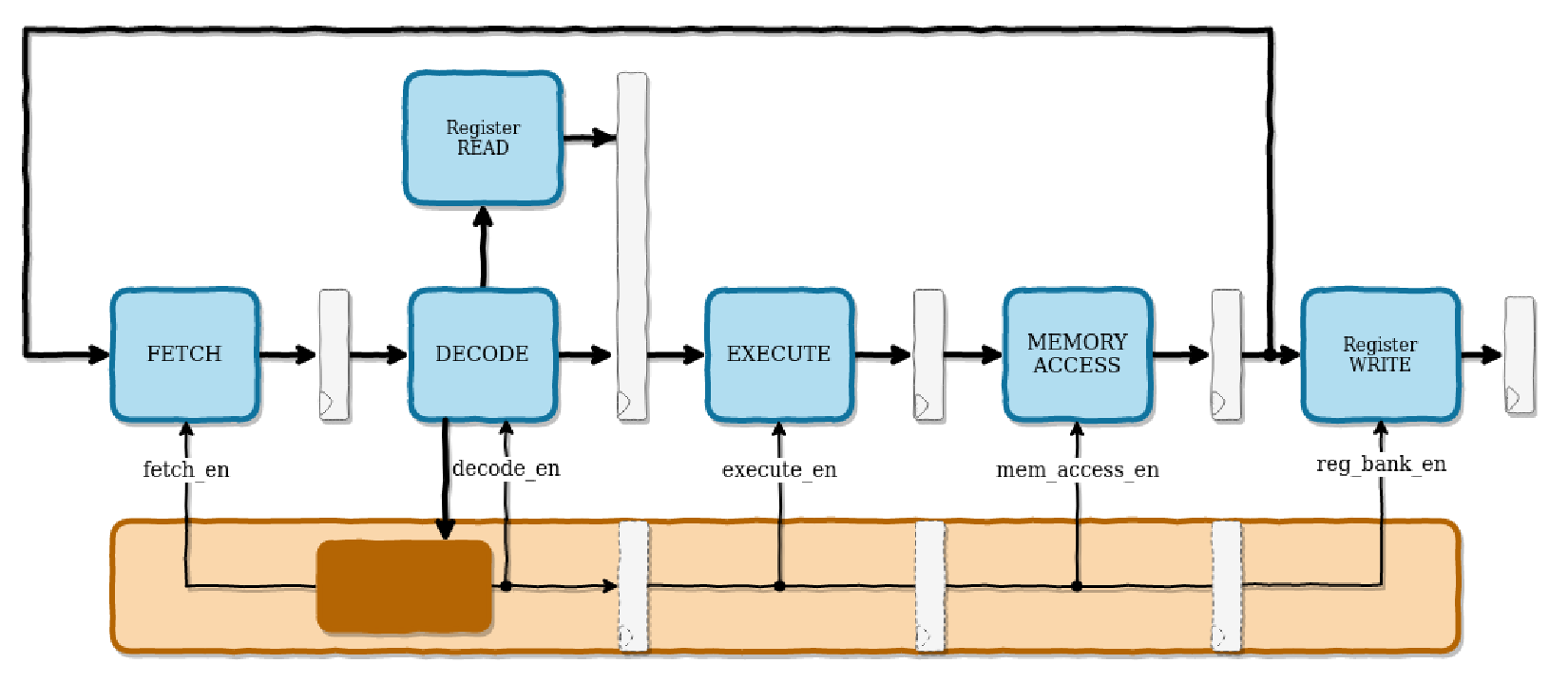
Pour pouvoir implémenter le forwarding, nous devons stocker la valeur de sortie de chaque étage du processeur. C’est grâce à cette mémorisation des états que nous pouvons utiliser le mécanisme d’exécution en cascade.

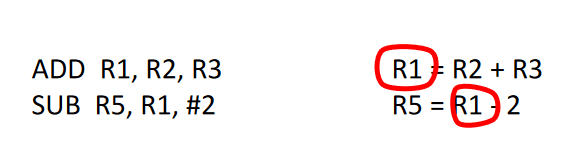
Figure 7 Diagramme conceptuel du processeur avec pipeline

Dans notre cas, il faut également s’assurer que tous les signaux de contrôle arrivent au bon moment à chaque étage. Le schéma ci-dessus est un croquis du processeur pipeliné. Les registres sont en gris. Sur le schéma, il y a un grand registre entre les stages du pipeline, or dans Logisim, il y a un registre par signal. Register READ et Register WRITE sont implémentés dans Logisim dans bank\_register.

### Dépendances et aléas de données

La mise en place d’in processeur pipeliné pose toutefois des problèmes de dépendances si deux instructions successives doivent avoir accès aux mêmes registres. Il existe 3 types de dépendances. RAW, WAR et WAW. Dans notre architecture, uniquement les dépendances de type RAW posent problème.

Une dépendance RAW (Read after write) existe si deux instructions successives doivent avoir accès aux mêmes registres. Plus exactement, si l’instruction n°2 doit lire un registre que l’instruction n°1 doit écrire. En effet, lorsque la première instruction est exécutée, la suivante doit attendre que l’étage Write Back ait écrit dans le registre N, avant que l’instruction n° 2 aille lire ce même registre, autrement l’instruction n°2 ira lire dans un registre qui contient une valeur non mise à jour. Nous apollons ça un aléa de données.

**Exemple :**Lors de l’exécution du programme suivant :

Nous voyons que l’instruction n°2 doit récupérer la valeur se trouvant dans le registre R1 et la soustraire avec la valeur 2. Le problème, c’est que le registre R1 est modifié par l’instruction précédente. C’est à l’étage décode que la lecture s’effectue dans les registres, et à l’étage WriteBack que s’effectue l’écriture.

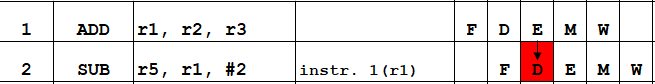
Si aucun mécanisme de détection d’aléa n’est mis en place, l’instruction 1 sera exécutée par l’étage Execute et l’instruction 2 sera exécutée par l’étage Fetch.

Figure 8 Aléa de données (1)

Il faut donc attendre que l’instruction précédente ait écrit le résultat de l’addition de R2 + R3 dans R1 avant que l’instruction n°2 aille lire dedans. En autres termes, attendre que l’instruction 1 ait terminé le write back pour que l’instruction 2 puisse effectuer le décode.

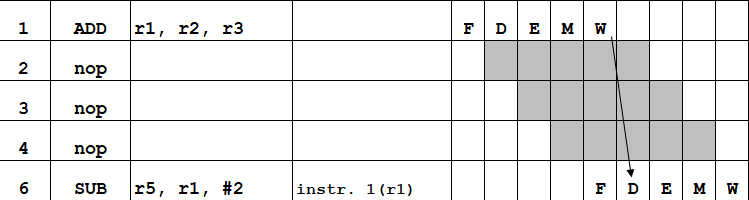
Pour réaliser cette « attente » nous pouvons utiliser 2 méthodes différentes : La résolution **software** et la détection **hardware**. La première méthode consiste simplement à ajouter, dans le code assembleur des instructions « nop » (no operation). Ces instructions ne font rien, mais permettent d’attendre 1 coup d’horlge du processeur.

Figure 9 Résolution d'aléas de données software

La deuxième solution consiste à implémenter une détection hardware d’un aléa de données. Le processeur arrêtera donc l’étage du processeur posant un probéme de dépendance pendant N coups d’horloge.

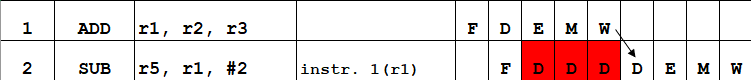


Figure 10 Résolution d'aléas de données hardware

### Aléas de contrôle

Les aléas de contrôle se produisent lors de sauts (Branch). En effet, pour que l’étage fetch sache à quelle adresse chercher une instruction suivant un saut, il recevoir l’adresse où chercher l’instruction. L’adresse de saut est calculée à l’étage Execute du pipeline.

L’étage Fetch de l’instruction suivant un saut doit donc attendre que l’instruction de saut ait précédemment calculé l’adresse de saut.

**Exemple :**

Lors de l’exécution du programme suivant :

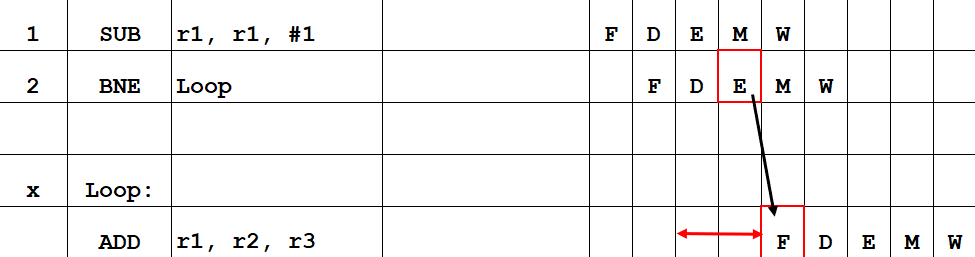


Figure 11 Exemple d'un aléa de contrôle

Nous partons du principe que la condition du saut est prise. L’étage Fetch de l’instruction suivante doit attendre que l’étage execute de l’instruction BNE ait calculé l’adresse de saut, pour pouvoir fetcher l’instruction ADD dans la mémoire de données. Nous voyons que cet arrêt coûte 2 cycles d’horloge, et qu’il faut 3 coups d’horloge à partir du fetch jusqu’au prochain fetch.

Pour résoudre ces aléas de contrôle, nous devons implémenter un circuit de gestion dans le processeur. Le processeur arrêtera donc les étages problématiques de l’instruction suivant un saut durant 2 cycles.

## Travail demandé

Dans ce chapitre, nous allons reprendre le travail demandé de la donnée du laboratoire, pour expliquer notre démarche.

### Test du processeur avec un programme

Il nous a été demandé d’analyser l’exécution du programme ci-dessous. Avant de prendre un chronogramme, nos allons réaliser un diagramme des aléas.

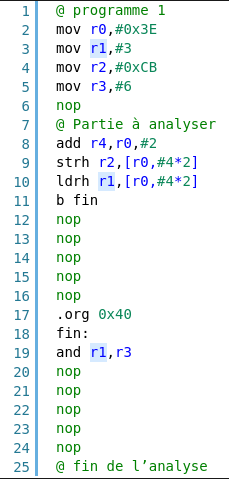
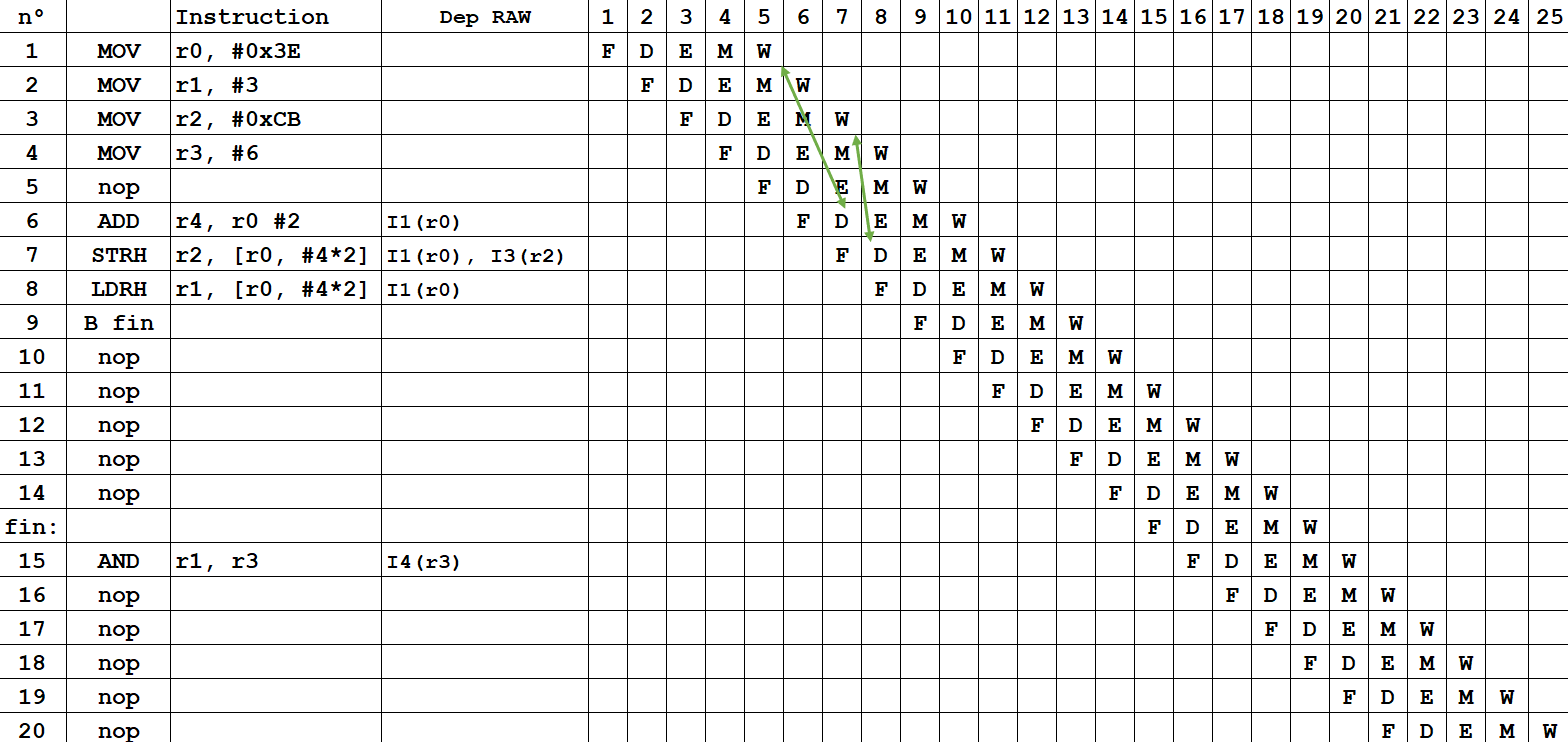


Figure 12 Programme à analyser Test du processeur

Figure 13 Table des aléas Test du processeur

Dans ce tableau des aléas, nous pouvons voir qu’il y existe des dépendances pour les instructions 6, 7, 8 et 15. Cependant, elles sont suffisamment espacées en termes de coups d’horloge pour ne pas générer d’aléas (voir flèches vertes).

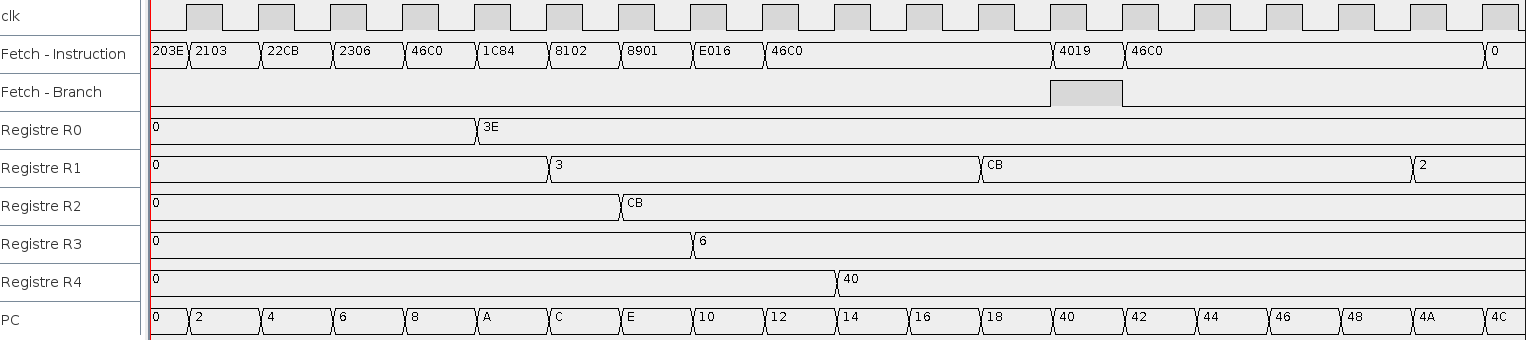
* Les valeurs sont bien déplacées dans les registres durant les 4 premiers coups d’horloge.

Figure 14: Chronogramme Test du processeur

* L’addition de 0x3ce + 2 est juste. Nous voyons que le résultat (0x40) est bien stocké dans le registre 4.
* Les instructions LDRH et STRH fonctionnent car nous voyons que la valeur 3 dans r2 stockée à l’adresse [r0, #4\*2] (PC = 16) est bien récupérée dans le registre r1 au coup d’horloge suivant (PC = 18).
* Le saut s’execute correctement, car on passe de PC = 18 à PC = 40 au moment ou la détection de saut est à 1 dans le fetch
* Finalement, l’instruction AND stocke la bonne valeur dans r1.

Nous avons 9 instructions (sans nop) pour un total de 36 coups d’horloge

**Calcul de l’IPC :**

### Assembleur : dépendances de données et Assembleur : aléas de contrôle

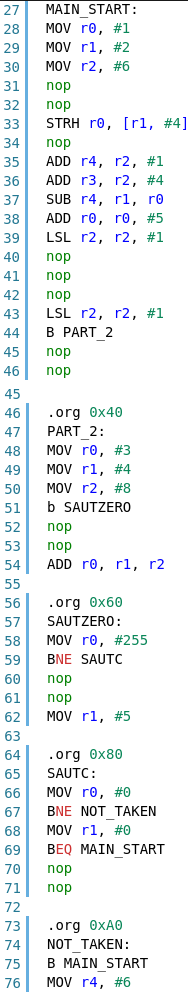
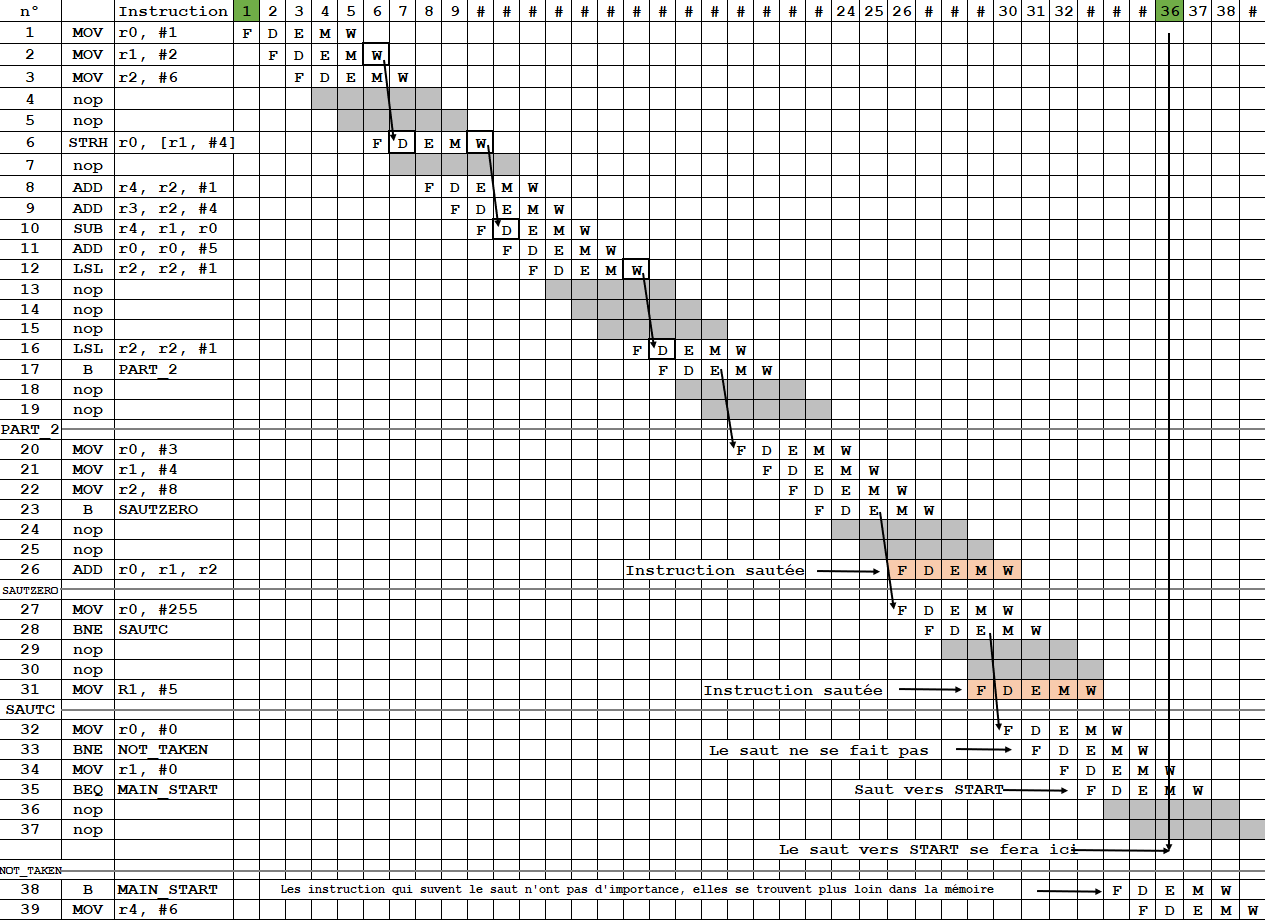
Un autre programme nous a été donné. Comme fait précédemment, nous allons l’analyser pour savoir ou placer nos nop dedans :

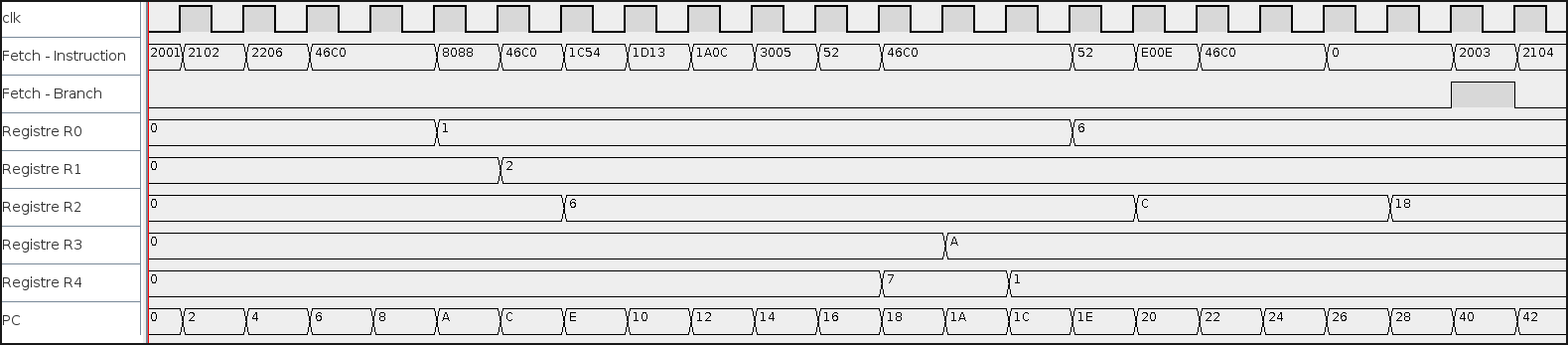
Figure 15 Programme et table des aléas dépendances de données et de contrôle

**Explication de notre démarche jusqu’à PART\_2  :**

* Il y a un aléa de données entre le MOV (I3) et le STRH(I6), nous avons donc ajouté 2 nop.
* Il y a un aléa de données entre le STRH (I6) et le ADD (I8), nous avons donc ajouté 1 nop.
* Il y a un aléa de données entre les 2 instructions LSL (I12 et I13). Nous avons donc décidé d’ajouter 2 nop pour pallier l’aléa.

**Chronogramme pour vérifier notre théorie :**

Figure 16 Chronogramme aléas de données



3x nop

3x nop

B PART\_2

12

14

16

18

20

6

8

10

2

4

22

* La flèche bleue nous montre qu’à partir du fetch de l’instruction, il nous faut 5 coups d’horloge pour avoir la valeur dans un registre
* Nous pouvons voir qu’au 12e coup d’horloge nous avons 0x7 dans R4, ce qui correspond au WB de ADD r4, r2, #1 avec r2 = 6
* Au 14e Nous avons 0xa dans r3, ce qui correspond au WB de ADD r3, r2, #4, avec r2 = 6
* Au 15e nous avons 0x1 and r4 ce qui correspond au WB de SUB r4, r1, r0 avec r1 = 2 et r0 = 1
* Au 16e nous avons 0x6 dans r0, ce qui correspond au WB de ADD r0, r0, #5 avec r0 = 1
* Au 17e nous avons 0xc dans r2 ce qui correspond au WB de LSL r2, r2, #1 avec r2 = 6
* Au 21e nous avons 0x18 dans r2 ce qui correspond au WB de LSL r2, r2, #1 avec r2 = c

Nous pouvons en conclure que notre programme fonctionne

**Explication de notre démarche depuis PART\_2 :**

Nous avons placé nos nop après chaque saut, car des instructions pourraient se trouver aux adresses qui suivent les sauts dans la mémoire de données, et nous ne voulons pas que le processeur traite quoi que ce soit durant la durée de traitement de nos sauts.

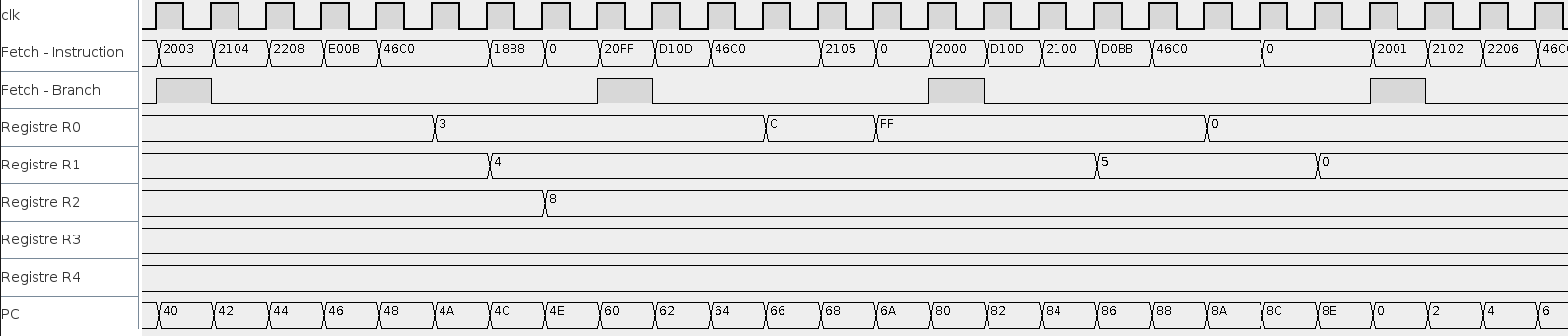
* Nous avons remarqué qu’il y avait un aléa de contrôle après le premier saut B PART\_2 (I17).
* Ensuite, nous voyons que l’instruction B SAUTZERO est suivie d’une instruction ADD. Pour éviter d’exécuter cette instruction nous avons placé 2 nop
* Après l’instruction BNE SAUTC, nous avons aussi placé 2 nop pour éviter d’exécuter l’instruction qui la suit
* Le saut BNE NOT\_TAKEN n’est jamais pris, car sa condition est toujours fausse. Nous devons tout de même ajouter 2 nop
* C’est donc le saut suivant (BEQ MAIN\_START) qui sera pris. Sa condition étant toujours vraie, on sautera toujours vers MAIN\_START.

Dans ce programme théorique, nous avons 21 instructions traitées (sans nop) pour un total de 36 cycles.

**Calcul de l’IPC théorique** :

Pour être sûr de notre prédiction, nous allons réaliser un chronogramme. Nous prédisons qu’il faudra 38 coups d’horloge pour exécuter notre programme.

En voyant ce chronogramme, nous nous rendons compte qu’il faut 4 coups d’horloge depuis l’execute de l’instrution de saut jusqu’au saut effectif, et non 2 coups comme nous l’avions appris en théorie. Cela vient probablement du fait que l’adresse du saut, passe par les étages Memory access et Bank registers, ce qui demande au signal de faire 2 coups d’horloge supplémentaire avant d’arriver au fetch. C’est dommage, il suffirant de faire passer ce signal directemeent depuis l’execute vers le fetch pour gagner 2 coups d’horloge (pour ARO l’année prochaine !).



22

24

28

30

34

36

38

40

26

42

32

B SAUTZERO

BNE SAUTC

BEQ START

BNE NOT\_TAKEN

F

D

E

44

Figure 17 Chronogramme aléas de contrôle

Cela implique que nous finissons notre programme en 44 coups d’horloge à la place des 36 prédits dans notre tableau des aléas. Etant donnée que nos saut prennent 2 coups d’horloge de plus ce résultat est logique : 4 sauts x 2 cycles supplémentaires + 36 cycles prédits = 44 cycles au final. Maintenant, nous savons qu’il faut prévoir 4 coups d’horloge pour éviter un aléa de contrôle.

Dans ce le vrai programme, nous avons 21 instructions effectuées pour un total de 44 cycles.

**Calcul de l’IPC réel :**

### Circuits pour la détection des aléas

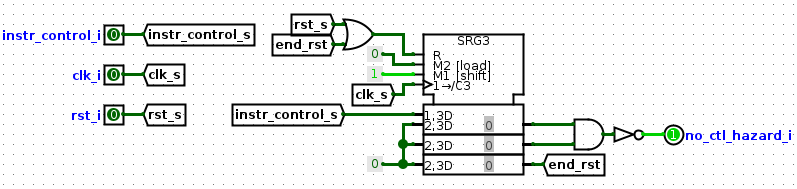
Nous avons vu comment pallier aux aléas de contrôle en ajoutant des nop dans notre programme assembleur. Il s’agit maintenant d’implémenter l’arrêt de pipeline hardware. Cela évite au programmeur la tâche de connaitre précisément le fonctionnement du processeur. Pour cela nous avons dû compléter 1 circuit. Il se trouve dans hazard\_detection, dans main\_control\_unit, dans le bloc décode.

Figure 18 circuit control hazard

Nous avons décidé de gérer les aléas de contrôle avec un registre à décalage. A chaque fois qu’une instruction de contrôle est détectée, nous mettons le signal no\_ctl\_hazard à 0 pendant 2 cycles.

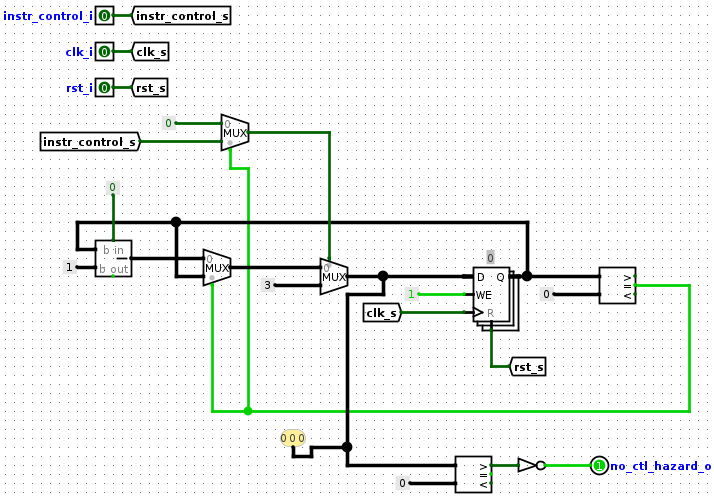
Cela était dans notre hypothèse qu’il ne fallait que 2 coups d’horloge pour pallier à un aléa de contrôle. Or, comme vu précédemment, il nous faut en réalité 4 coups d’horloge. La solution proposée qui nous a été fournie est différente.

Figure 19 Control hazard proposé

Nous voyons que ce circuit joue le rôle d’un décompteur. A chaque fois qu’une instruction de saut est détectée, nous décomptons de 3 à 0. Lors du décompte la sortie no\_ctrl\_hazard est à 0, ce qui arrête les différents étages du pipeline durant 4 cycles (voir suite).

### Circuit d’arrêt de pipeline lors d’aléas de contrôle

Maintenant que nous avons un signal qui nous permet d’arrêter notre pipeline pendant 4 cycles, il nous faut un circuit d’arrêt en cascade. La solution qui nous a été fournie est la suivante :

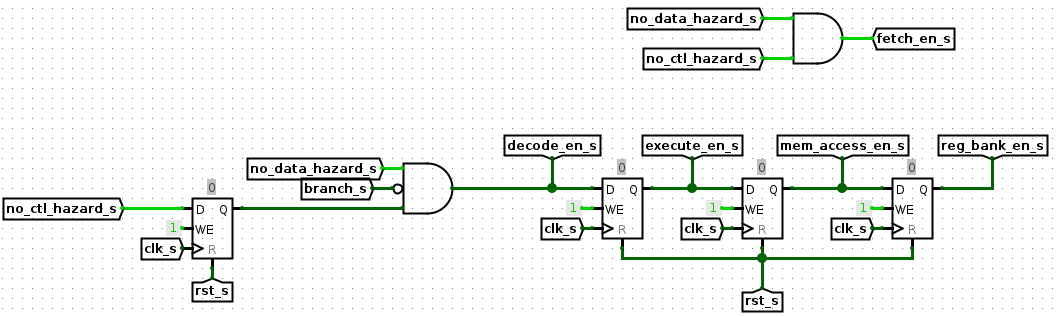


Figure 20 Circuit d'arrêt de pipeline lors d'aléas de contrôle

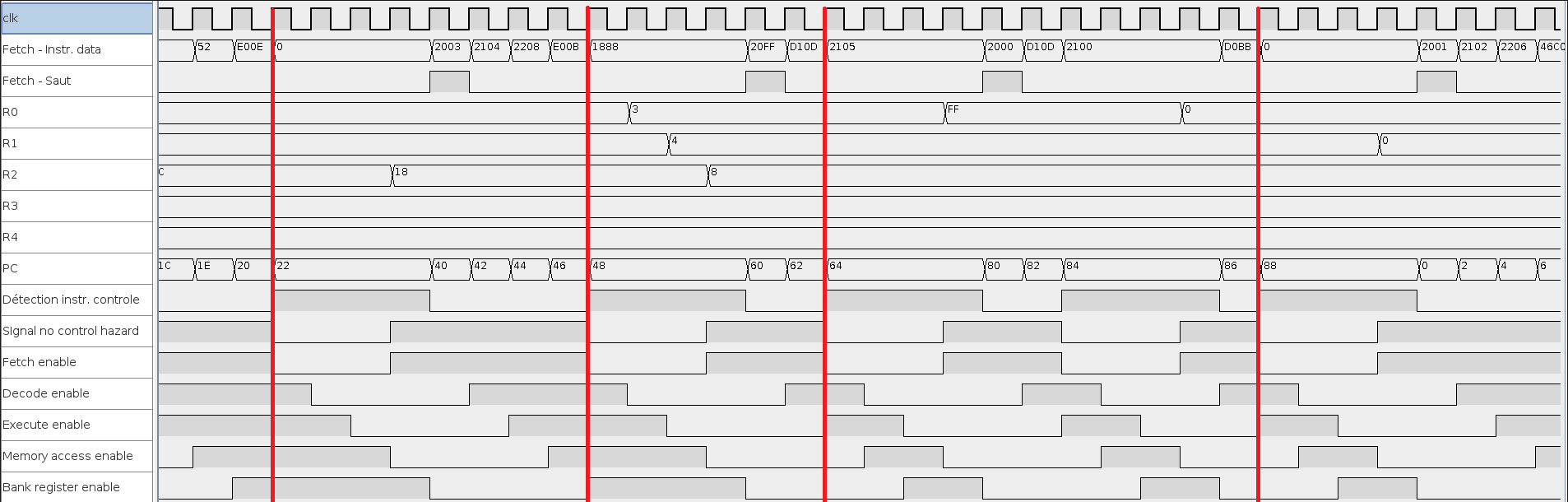
Nous voyons dans ce circuit, que tant que le signal no\_ctrl\_hazard est à 1, tous les enable des étages du pipeline sont à 1. Lorsque le signal passe à 0, les enable de chaque circuit va passer successivement à 0, pendant 4 cycles en commençant par le fetch (lié à la porte AND en haut), puis un cycle plus tard, le décode, etc.

Cette désactivation en cascade permet au traitement de la première instruction de s’effectuer jusqu’à la fin.

### Test aléas de contrôle avec la solution proposée

Comme précédemment, nous allons, maintenant analyser le programme, mais cette fois-ci sans nop, avec un chronogramme pour vérifier qu’il fonctionne comme prévu.

Figure 21Chronogramme de vérification du circuit fourni pour la aléas de contrôle



En rouge sont les instructions de saut fetchées. Nous voyons que lorsqu’une instruction de saut est prise, les étages du pipeline vont s’arrêter en cascade pendant 4 cycles.

Ce qui est plus étrange, c’est que si un saut n’est pas pris, en l’occurrence le saut BNE NOT\_TAKE (instr. D10D), le signal no\_ctrl\_hazard passe quand même à 0. C’est étrange, car si un saut n’est pas pris, nous n’avons aucune raison d’arrêter les étages du pipeline, car nous n’avons pas besoin de calculer l’adresse du saut. Pour pallier à ce problème (p.ex pour le cours de l’année prochaine), il faudrait ajouter une condition à l’entrée du bloc control\_hazard, qui prendrait le résultat du CPSR de l’execute, et en fonction du type de saut conditionnel utilisé, indiquer si le saut sera pris ou pas.

Au final, nous pouvons constater que l’implémentation du contrôle des aléas de contrôle fonctionne, mais n’est pas optimal.

# Processeur pipeliné avec forwarding

## Analyse

Dans cette partie, nous n’avons pas besoin de réaliser, ni de compléter des circuits, car le projet fonctionnel nous a été fourni. Il nous faudra donc l’analyser afin de comprendre les modifications qui ont été apportées.

## Analyse du circuit fourni

### Aléas de donnée : Circuit data\_hazard

### Aléas de données : Circuit hazard\_detection

### Test : aléas de donnée

### Pipeline Forwarding : Circuit data\_hazard

### Pipeline Forwarding : Circuit execute

### Test : pipeline forwarding

## Tests et validation

# Conclusion

De notre point de vue, toutes les fonctionnalités de ce processeur sont fonctionnelles, notamment la gestion de la pile. Nous n’avons pas eu de grande difficulté technique pour la réalisation de ce laboratoire, hormis la gestion du temps pour la rédaction du présent rapport. Nous sommes conscients que les tests et la validation des blocs auraient être plus approfondis, mais nous ne disposions pas d’assez de temps pour les réaliser.

# Bilan personnel

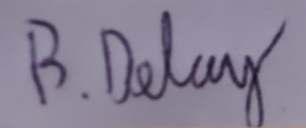
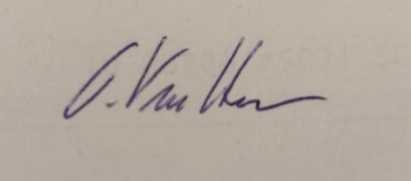
Cette deuxième partie de travail était bien différente de la première. Nous n’avons presque pas dû compléter de circuits, mais plutôt analyser les circuits qui nous ont été fournis. Ce travail d’analyse est moins évident qu’un travail de construction, car il est plus difficile de comprendre le fonctionnement global des mécanismes.

Nous trouvons dommage que nous apprenions, en théorie des choses différentes que ce que nous devons mettre en pratique, car cela nous pousse à la confusion. Voici quelques exemples :

* Nous apprenons qu’n aléa de contrôle fait perdre 2 coups de clock, alors que dans le circuit fourni il en fait perdre 3
* En théorie, la gestion du Write back s’effectue dans un bloc dédié mais en pratique, elle se fait dans la banque de registres
* En théorie, nous apprenons que la gestion du forwarding s’effectue dans le bloc Execute. Dans notre cas, elle se fait dans la banque de registre
* Nous pouvons voir que la gestion des aléas, et en général la gestion de tous les signaux de notre processeur se fait dans le bloc décode, et pour nous ce n’est pas très intuitif.

Nous avons trouvé ce travail très intéressant, car il nous a vraiment plongé au cœur du fonctionnement d’un processeur. Grâce à ce travail nous arrivons mieux à comprendre les mécanismes de programmation bas niveau, de pile, d’IPC et de gestion de la mémoire.

Yverdon-les-Bains, le 03.05.2022



Benoît Delay Timothée Van Hove

# Table des illustrations

[Figure 1 architecture d'un processeur (1) 4](#_Toc105238440)

[Figure 2 Architecture Harvard 4](file:///C:\Users\ROG\Documents\HEIG\ARO\HEIG_ARO_LaboPipelinePartie2_BDY_TVE\Rapport%20ARO%20Partie%202.docx#_Toc105238441)

[Figure 3 Architecture de notre processeur 5](#_Toc105238442)

[Figure 4 Exécution des instructions d'un processeur non pipeliné 6](file:///C:\Users\ROG\Documents\HEIG\ARO\HEIG_ARO_LaboPipelinePartie2_BDY_TVE\Rapport%20ARO%20Partie%202.docx#_Toc105238443)

[Figure 5 Les 5 étages du pipeline 6](file:///C:\Users\ROG\Documents\HEIG\ARO\HEIG_ARO_LaboPipelinePartie2_BDY_TVE\Rapport%20ARO%20Partie%202.docx#_Toc105238444)

[Figure 6 Principe d'exécution en cascade du processeur pipeliné 6](file:///C:\Users\ROG\Documents\HEIG\ARO\HEIG_ARO_LaboPipelinePartie2_BDY_TVE\Rapport%20ARO%20Partie%202.docx#_Toc105238445)

[Figure 7 Diagramme conceptuel du processeur avec pipeline 7](file:///C:\Users\ROG\Documents\HEIG\ARO\HEIG_ARO_LaboPipelinePartie2_BDY_TVE\Rapport%20ARO%20Partie%202.docx#_Toc105238446)

[Figure 8 Aléa de données (1) 8](file:///C:\Users\ROG\Documents\HEIG\ARO\HEIG_ARO_LaboPipelinePartie2_BDY_TVE\Rapport%20ARO%20Partie%202.docx#_Toc105238447)

[Figure 9 Résolution d'aléas de données software 8](file:///C:\Users\ROG\Documents\HEIG\ARO\HEIG_ARO_LaboPipelinePartie2_BDY_TVE\Rapport%20ARO%20Partie%202.docx#_Toc105238448)

[Figure 10 Résolution d'aléas de données hardware 8](#_Toc105238449)

[Figure 11 Exemple d'un aléa de contrôle 9](#_Toc105238450)

[Figure 12 Programme à analyser Test du processeur 10](file:///C:\Users\ROG\Documents\HEIG\ARO\HEIG_ARO_LaboPipelinePartie2_BDY_TVE\Rapport%20ARO%20Partie%202.docx#_Toc105238451)

[Figure 13 Table des aléas Test du processeur 10](file:///C:\Users\ROG\Documents\HEIG\ARO\HEIG_ARO_LaboPipelinePartie2_BDY_TVE\Rapport%20ARO%20Partie%202.docx#_Toc105238452)

[Figure 14: Chronogramme Test du processeur 11](file:///C:\Users\ROG\Documents\HEIG\ARO\HEIG_ARO_LaboPipelinePartie2_BDY_TVE\Rapport%20ARO%20Partie%202.docx#_Toc105238453)

[Figure 15 Programme et table des aléas dépendances de données et de contrôle 12](file:///C:\Users\ROG\Documents\HEIG\ARO\HEIG_ARO_LaboPipelinePartie2_BDY_TVE\Rapport%20ARO%20Partie%202.docx#_Toc105238454)

[Figure 16 Chronogramme aléas de données 13](file:///C:\Users\ROG\Documents\HEIG\ARO\HEIG_ARO_LaboPipelinePartie2_BDY_TVE\Rapport%20ARO%20Partie%202.docx#_Toc105238455)

[Figure 17 Chronogramme aléas de contrôle 15](file:///C:\Users\ROG\Documents\HEIG\ARO\HEIG_ARO_LaboPipelinePartie2_BDY_TVE\Rapport%20ARO%20Partie%202.docx#_Toc105238456)

[Figure 18 circuit control hazard 16](#_Toc105238457)

[Figure 19 Control hazard proposé 16](file:///C:\Users\ROG\Documents\HEIG\ARO\HEIG_ARO_LaboPipelinePartie2_BDY_TVE\Rapport%20ARO%20Partie%202.docx#_Toc105238458)

[Figure 20 Circuit d'arrêt de pipeline lors d'aléas de contrôle 17](#_Toc105238459)

[Figure 21Chronogramme de vérification du circuit fourni pour la aléas de contrôle 18](file:///C:\Users\ROG\Documents\HEIG\ARO\HEIG_ARO_LaboPipelinePartie2_BDY_TVE\Rapport%20ARO%20Partie%202.docx#_Toc105238460)